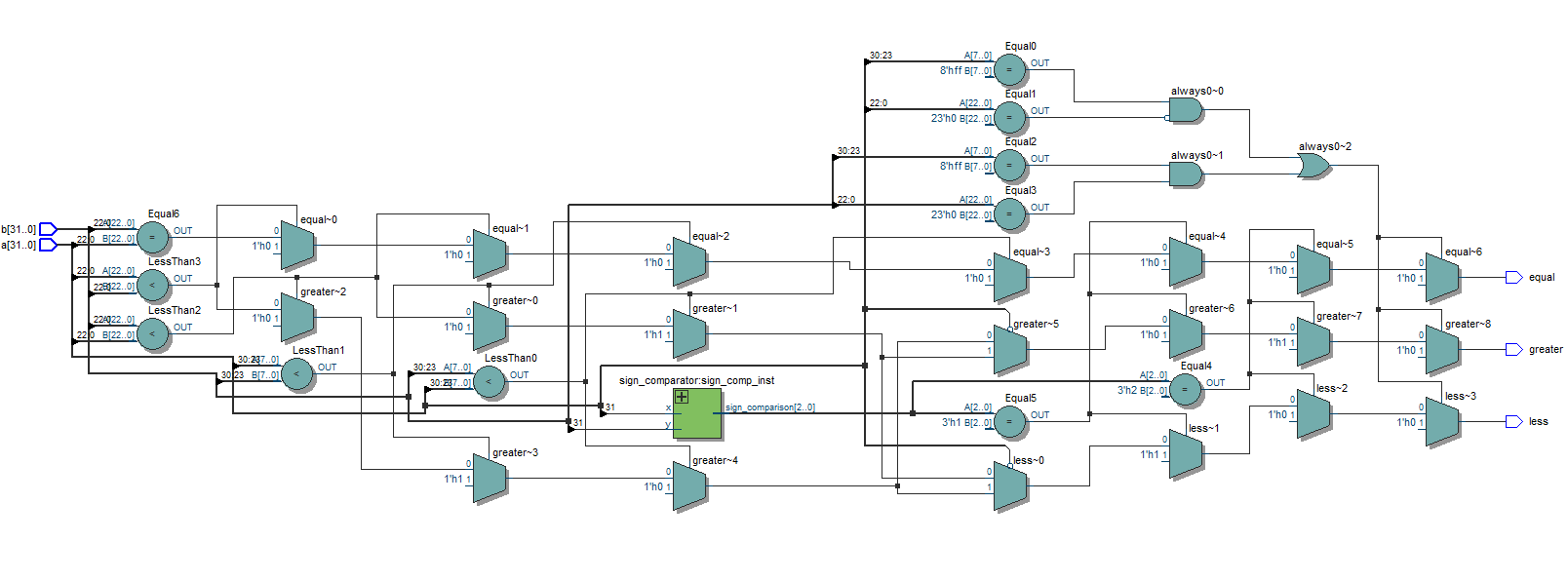
**DISEÑO EN VERILOG DE UN COMPARADOR DE NÚMEROS CON PUNTO FLOTANTE**

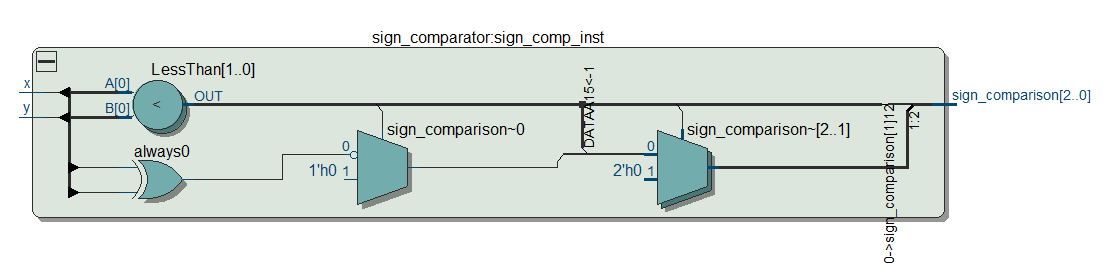
Diagrama de bloques:

Circuito general del comparador en coma flotante:

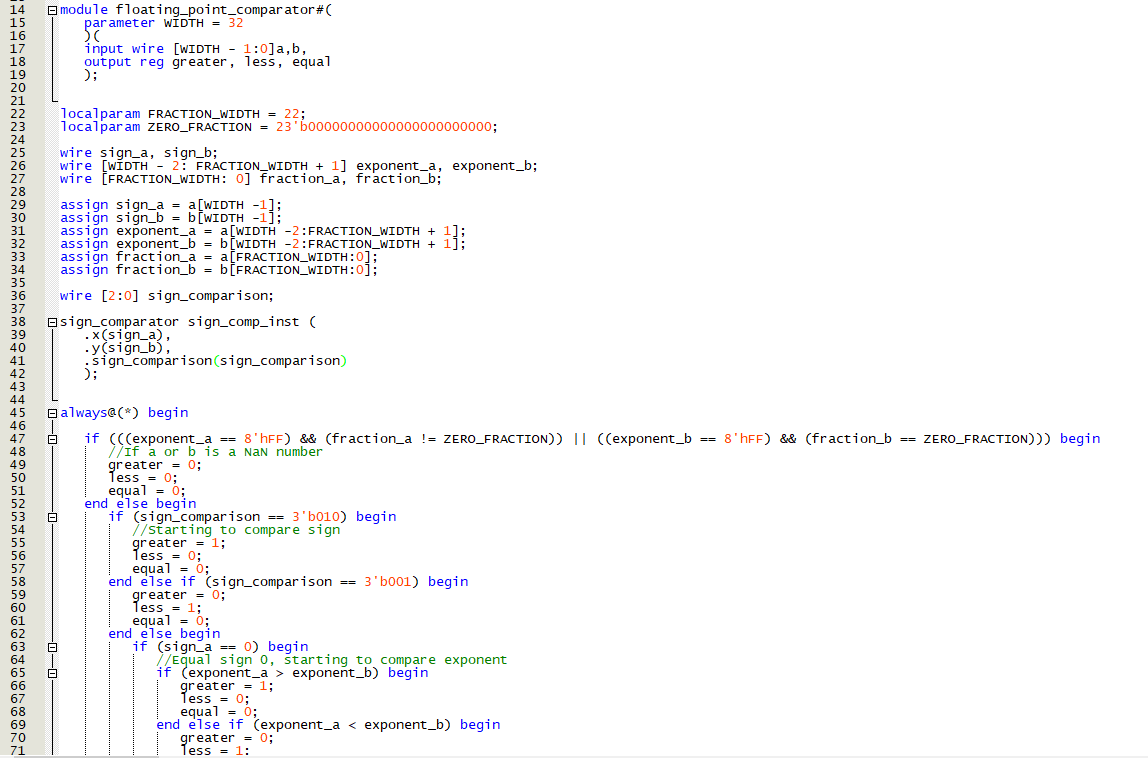
Este circuito compara el signo de dos números en el estándar IEEE 754. Primero se analiza si el circuito no corresponde a un NaN o número no existente. Los NaN no representan números en este estándar, solo sirven para representar errores u otros, por lo que no cuentan con un valor numérico para la evaluación. Luego se compara el bit más significativo para determinar si los números son positivos o negativos, posteriormente se analiza el exponente y la fracción o también llamada matinsa. Finalmente, se determina si el primer número es mayor, menor o igual al segundo número ingresado. Si la trama de bits no es un número o corresponde a un NaN se obtiene el valor de cero para todas las salidas.



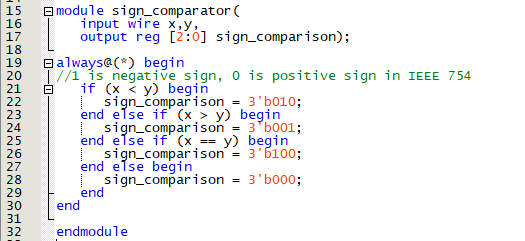
Circuito comparador de signo:



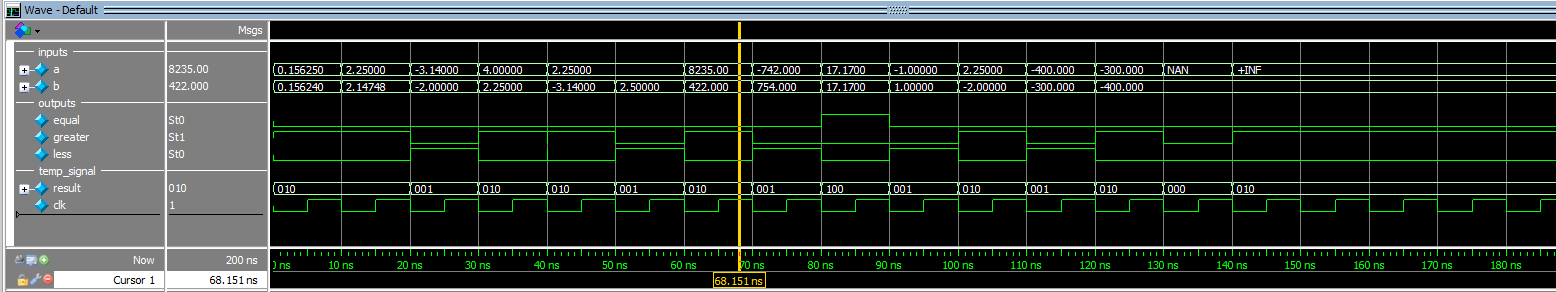
RTL del circuito:

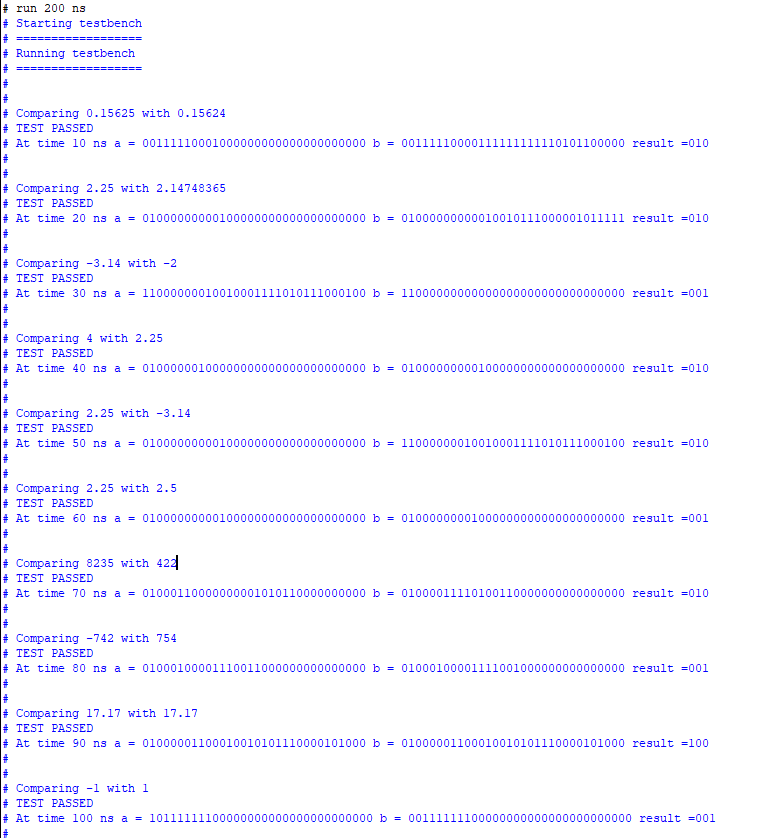


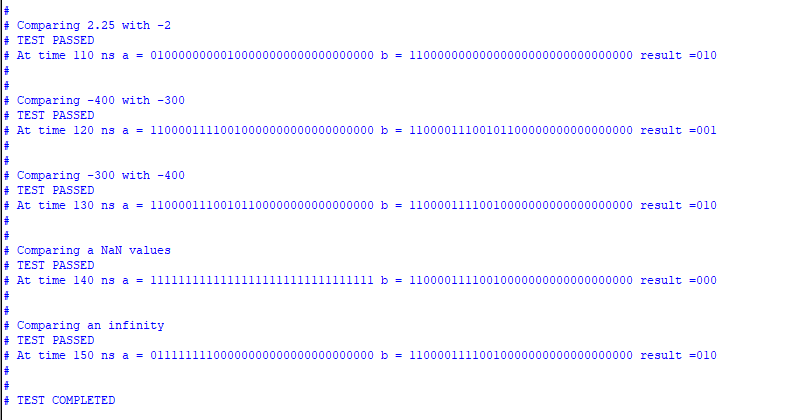




Simulación del circuito:







Bibliografía:

<https://www.youtube.com/watch?v=D7iVR7_PGSc>

<https://informatica.uv.es/seguia/FAC/Teoria/IEEE-754.htm>

<https://www.youtube.com/watch?v=RcRhqg4jKHo>

<https://medium.com/@matematicasdiscretaslibro/cap%C3%ADtulo-3-punto-flotante-c689043db98b>

Material del curso Verilog – Módulo 1- Maelpro.